

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-037955

(43)Date of publication of application : 12.02.1993

(51)Int.Cl.

H04N 9/78

H03H 17/02

(21)Application number : 03-214718

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 31.07.1991

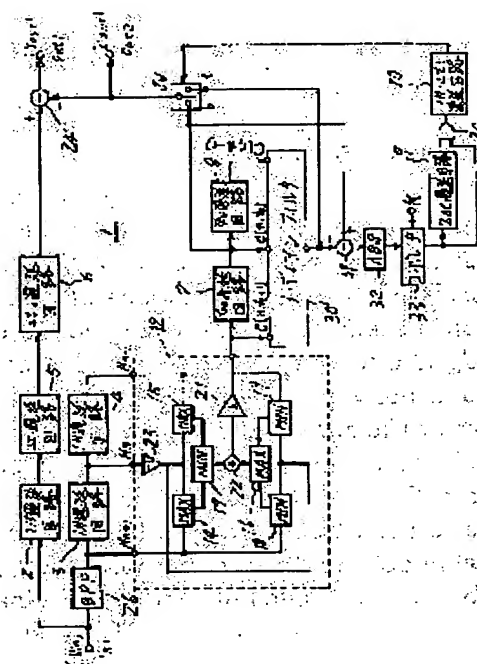
(72)Inventor : HASEGAWA JUNICHI

## (54) VIDEO SIGNAL PROCESSING CIRCUIT

## (57)Abstract:

**PURPOSE:** To reduce dot disturbance such as thin colored vertical lines by selecting which signal out of a signal passed through a median filter and a signal not passed through the filter is to be outputted as a chrominance signal based upon the information of the one line before.

**CONSTITUTION:** A logical operation part 12 outputs the operation output of a supplied video signal to a delay circuit 7 and the median filter 30. A difference between the input and output of the filter 30 is found out by a subtractor 31, the absolute value of the difference is found out by an absolute value circuit (ABS) 32 and compared with a threshold (k) by a comparator 33 to judge the oblique lines of a brightness signal or the vertical lines of a chrominance signal. A switch SW is switched through delay circuits 9, 10 so that the output of the filter 30 is selected as a chrominance signal in the case of oblique lines of the brightness signal or the output of the logical operation part 12 is selected as a chrominance signal in the case of the vertical lines of the chrominance signal. Consequently dot disturbance can be reduced without deteriorating the resolution of oblique lines.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-37955

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl.<sup>5</sup>

H 0 4 N 9/78

H 0 3 H 17/02

識別記号

庁内整理番号

A 8626-5C

F 7259-5.J

FI

### 技術表示箇所

審査請求 未請求 請求項の数 1 (全 8 頁)

(21)出願番号 特願平3-214718

(22)出題日 平成3年(1991)7月31日

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 長谷川 順一

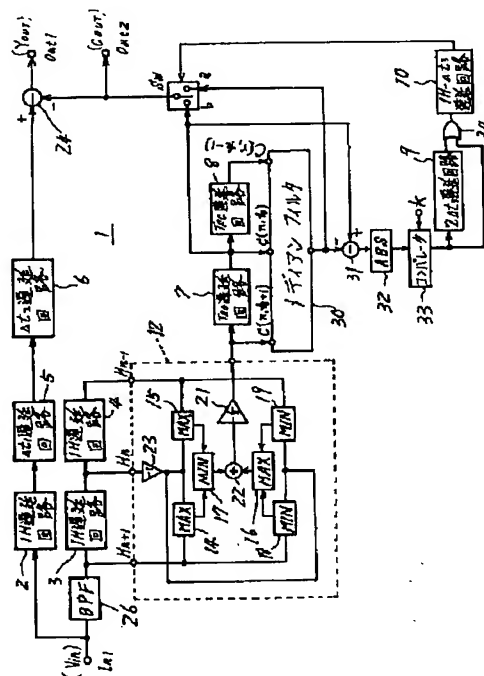
神奈川県横浜市神奈川区守屋町 3 丁目 12 番  
地 日本ビクター株式会社内

(54)【発明の名称】 映像信号処理回路

(57) 【要約】

【目的】 従来回路以上に良好なY/C分離性能を得ること。

【構成】 入力映像信号を所定量遅延させる遅延回路2, 5, 6 と、入力映像信号より色信号周波数帯域を抽出するBPF26と、BPF出力を夫々所定量及びその2倍遅延させる2つの遅延回路3, 3+4 と、遅延回路3の入、出力と遅延回路4の出力とを入力して演算する論理演算部12と、これの出力を所定量遅延させる遅延回路7 と、遅延回路7の出力をこれと同量遅延させる遅延回路8 と、遅延回路7の入、出力と遅延回路8の出力のうち中間値を出力するフィルタ回路30と、この回路30の入出力の差分の絶対値を出力する減算手段31+32 と、この差分の絶対値が所定の閾値k 以上なら1, k以下なら0なる判別信号を出力するコンパレータ33と、判別信号を所定量遅延させる遅延回路9, 10と、これの出力が1ならフィルタ回路30の出力を、0なら遅延回路7の出力を、色信号として選択するスイッチSwと、被選択色信号と遅延回路2の出力とを減算して輝度信号を得る減算器24とを備えて構成。



1

## 【特許請求の範囲】

【請求項1】 入力映像信号を所定量遅延させる第1の遅延回路と、該入力映像信号より色信号を含む周波数帯域の信号を分離する第1のフィルタ回路と、該フィルタ回路の出力信号を夫々所定量及びその2倍ずつ遅延させる第2、第3の遅延回路と、該第2の遅延回路の入力信号及び出力信号と第3の遅延回路の出力信号とを入力して論理演算する論理演算部と、該論理演算部の出力信号を所定時間遅延させる第4の遅延回路と、該第4の遅延回路の出力をこれと同じ時間だけ遅延させる第5の遅延回路と、上記第4の遅延回路の入力信号及び出力信号と該第5の遅延回路の出力信号のうち中間の値を有する信号を出力する第2のフィルタ回路と、該第2のフィルタ回路の入力信号と出力信号との差分の絶対値を出力する減算手段と、該差分の絶対値が所定の閾値以上であるとき“1”、閾値以下であるとき“0”なる半周信号を出力するコンパレータと、該半周信号を所定時間遅延させる第6の遅延回路と、該第6の遅延回路の出力が1のとき上記第2のフィルタ回路の出力を、0のとき上記第4の遅延回路の出力を、色信号として選択する切換えスイッチと、該選択出力された色信号と上記第1の遅延回路の出力側の信号とを減算することにより輝度信号を得る減算器とを備えて構成したことを特徴とする、映像信号処理回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は映像信号処理回路に係り、特に、VTR（ビデオテープレコーダ）等にて用いられるコンポジットビデオ（カラー複合映像）信号から輝度信号と色信号とを分離するY/C分離回路に使用して好適な映像信号処理回路に関する。

## 【0002】

【従来の技術】 VTRやTV（テレビジョン）受像機の映像信号処理回路においては、各種の信号処理を行なう場合、複合映像信号を輝度信号と色信号に分離して夫々個別に信号処理するのが一般的である。しかるに、TV信号の高画質化が進むにつれて、ドット妨害やクロスカラーが目立つようになってきた。ドット妨害とは、Y/C分離した輝度信号（以下「Y信号」とも記す）に色信号（以下「C信号」とも記す）成分の3.58MHzのサブキャリア（搬送波）が漏れ込んだものであり、クロスカラーとはC信号にY信号成分が漏れ込んだものである。これらの現象は一般に相補的に生じる。

【0003】 Y/C分離には各種の方法や回路構成例があるが、現在よく用いられているY/C分離回路としては、アナログ映像信号では一般的に楕型フィルタが使用され、ディジタル信号処理系では図2に示すような回路が、最近では最も優れた従来回路の1つとして開発されているので、以下、この映像信号処理回路11について、図2のブロック構成図に沿って説明する。

2

【0004】 入力端子In1より入来したコンポジット映像信号（以下単に「映像信号」と記述する）は、1H遅延回路（第1の遅延回路）2及び次段の $\Delta t_1$ 遅延回路5、 $\Delta t_2$ 遅延回路6により、夫々1H（1水平走査期間）及び $\Delta t_1$ 、 $\Delta t_2$ だけ遅延された後、減算器24に供給される。一方、上記映像信号は第1のフィルタ回路であるBPF（帯域通過滤波器）26にも供給され、ここで色信号を含む帯域の成分が分離された後、論理演算部12に直接、或いは1H遅延回路（第2の遅延回路）3、更には1H遅延回路4により夫々1Hずつ遅延された後、夫々入力端子In2、In3、In4を介して供給される。なお、BPF出力を2Hだけ遅延させる第3の遅延回路は、1H遅延回路3及び4で構成されている。

【0005】 論理演算部12は最大値回路(MAX)14～16、最小値回路(MIN)17～19、増幅器（インバータ）23、増幅器（半減器）21、及び加算器22を備え、これらを図2に示す如く接続して構成されている。最大値回路14～16は2つの入力信号のうちレベルの大きい方を選択して出力し、最小値回路17～19は2入力のうち小レベルの方を選択して出力する働きを有する。その後、最小値回路17と最大値回路16の出力信号は加算器22で合成され、増幅器21で $-1/2$ 倍されることにより、端子Out3から論理演算された色信号が出力される。ここで、 $\Delta t_1$ 遅延回路5は、減算器24に供給される2つの信号の時間合せ用である。即ち、遅延時間 $\Delta t_1$ は、BPF26に生じる遅延時間及びこの論理演算部12における論理演算に要する時間である。

【0006】 なお、この論理演算された色信号（端子Out3出力）を減算器24の負（反転）入力端子に直接供給して、上記 $\Delta t_1$ 遅延回路5の出力（その際 $\Delta t_2$ 遅延回路6は不要なので）との減算を行なった場合でも、端子Out1からは輝度信号 $Y_n$ が出力される（即ち特開昭58-90818号公報に開示された技術内容）。ところが、その場合には、上記各信号 $H_{n+1}$ 、 $H_n$ 、及び $H_{n-1}$ として、夫々(1,1,0)、(0,1,0)、又は(1,0,1)なる垂直非相関輝度信号が供給された時には、夫々 $1/2$ 、 $1/2$ 、又は $-1/2$ の色信号が誤って出力されてクロスカラーが生じ、これを複合映像信号から減算することにより輝度信号が惚けてしまうという現象が生じる。

【0007】 かかる不都合を解消しようとして、論理演算部12の後段に、メディアンフィルタ30（第2のフィルタ回路）等から成る信号処理回路40（及び $\Delta t_2$ 遅延回路6）を設けた信号分離回路11を、本出願人は先に特願平2-112701号として提案した。これは、図4(B)に示すような、輝度信号の斜め線のように水平、垂直方向の非相関信号が入力された場合に、誤って色信号が論理演算部12より出力されるのを、メディアンフィルタ30により防止し、クロスカラーを大幅に低減して、斜め線の解像度劣化を防止するものである。以下、その構成及び動作原理について簡単に説明する。

10

20

30

40

50

3

【0008】メディアンフィルタ30は、例えば図9に示すように、最大値回路(MAX)14~16と3入力最小値回路(MIN)20を用い、これらを図9示の如く接続して構成される。従って、その出力端子30zからは、入力端子30a~30cに夫々供給される3信号x1, x2, x3のうち、中間の値の信号が出力されることになる。なお、この図9において、最大値回路と最小値回路とを互替えても、同様の動作を実行できる。

【0009】ところでメディアンフィルタ30における3入力信号x3~x1とは、図2から明白なように、夫々論理演算部12の出力信号C[n, k+1], これを $T_{sc}$ 遅延回路7で遅延させた色信号C[n, k], 及び更に $T_{sc}$ 遅延回路8で遅延させた色信号C[n, k-1]である。なお、 $T_{sc}$ 遅延回路7, 8(夫々第4, 第5の遅延回路)の遅延時間 $T_{sc}$ は、カラーバースト信号(色副搬送波)周波数 $f_{sc}$ の逆数である。

【0010】かかる構成の従来回路11において、入力端子In1より輝度信号に相関の無い映像信号が入来した場合を考えると、図4(A)に示すような輝度信号の垂直方向及び水平方向のエッジ(0から1に変化する箇所)の入力時に、論理演算部12の出力(メディアンフィルタ30の3入力信号x1, x2, x3)は(0, 1/2, 0)となるが、メディアンフィルタ30の出力は0となってクロスカラーは除去される。また、図4(B)に示すような斜め方向のエッジの入力時には、論理演算部12の出力は(0, 1, 0)となるが、メディアンフィルタ30の出力は0となってクロスカラーは上記同様除去される。

【0011】

【発明が解決しようとする課題】上記従来回路においては、図5に示すような、色の付いた細い縦線や、図8に示すような色のエッジ部については、色信号を輝度信号と完全に誤判別してしまい、著しいドット妨害が発生するという欠点があった。

【0012】

【課題を解決するための手段】本発明の映像信号処理回路は、入力映像信号を1H(又はその整数倍)遅延させる第1の遅延回路と、入力映像信号より色信号を含む周波数帯域の信号を分離する第1のフィルタ回路と、このフィルタ回路の出力信号を夫々1H及び2H(又はそれらの整数倍)ずつ遅延させる第2, 第3の遅延回路と、第2の遅延回路の入力信号及び出力信号と第3の遅延回路の出力信号とを入力して論理演算する論理演算部と、論理演算部出力を所定時間遅延させる第4の遅延回路と、この遅延回路の出力をこれと同じ時間だけ遅延させる第5の遅延回路と、第4の遅延回路の入力信号及び出力信号と第5の遅延回路の出力信号のうち中間の値を有する信号を出力する第2のフィルタ回路と、このフィルタ回路の入力信号と出力信号との差分の絶対値を出力する減算手段と、差分の絶対値が所定の閾値以上であるとき“1”, 閾値以下であるとき“0”なる判別信号を出

4

力するコンパレータと、判別信号を所定時間遅延させる第6の遅延回路と、この遅延回路の出力が1のとき上記第2のフィルタ回路の出力を、0のとき上記第4の遅延回路の出力を、色信号として選択する切換えスイッチと、選択出力された色信号と第1の遅延回路の出力側の信号とを減算することにより輝度信号を得る減算器とを備えて構成することにより、上記課題を解決したものである。

【0013】

【実施例】前記特願平2-112701号に記載された従来回路では、論理演算部12の演算出力を、常にメディアンフィルタ30に入力し、その出力を色信号として得ていたことによる欠点をなくすため、本発明の映像信号処理回路では、1line(ライン)前の情報により、メディアンフィルタ30を通したものと通さないもののいずれを色信号として出力するか、適応的に選択することにより、斜め線の解像度を劣化させることなく、細い色着き縦線等に見られたドット妨害のみを大幅に低減させ得たものである。

【0014】以下、本発明の映像信号処理回路の一実施例について、図1を参照して説明する。この図1において、前記図2に示した従来回路11と同一構成要素には同一符号を付して、その詳細な説明を省略する。図1中、31は減算器、32は絶対値回路(ABS)、33はコンパレータ、9は $2\Delta t_3$ 遅延回路(第6の遅延回路)、10は $1H-\Delta t_3$ 遅延回路、34はOR回路、Swは選択スイッチである。コンパレータ33は、ABS32の出力を外部より与えられる設定値kと比較して、ABS出力の方が大きければ“1”、小さければ“0”を出力する。ところで、 $2\Delta t_3$ 遅延回路9や $1H-\Delta t_3$ 遅延回路10における遅延時間 $\Delta t_3$ は、以下の説明では $3T_{sc}/4$ としている。遅延回路9, 10は色信号の選択スイッチSwをコントロールする時間合せ用の遅延回路である。なお、 $\Delta t_1$ 遅延回路5と $\Delta t_2$ 遅延回路6の代りに、 $\Delta t_1 + \Delta t_2$ の遅延時間を付与する1つの遅延回路を使用しても良い。

【0015】次に、本発明の映像信号処理回路1の機能、動作について、図3以降を併せ参照しながら説明する。説明の便宜上、垂直方向に3ライン、水平方向に3ブロック(1ブロックは $T_{sc}$ ;  $T_{sc}=1/f_{sc}$ )、合計9ブロックデータを1組(図3参照)として考察を進めることにする。図3はかかる9ブロックデータを論理演算部12に供給すると3つのデータ{C[n, k-1]~C[n, k+1]}なる演算出力が得られ、更にこれをメディアンフィルタ30に供給すると、C[n, k-1]~C[n, k+1]のうちの中間値 $C_n$ が得られることを模式的に示している。

【0016】いま、9ブロックデータの具体例として、図4(B)に示す斜め方向のエッジ部に当る輝度信号が論理演算部12に供給されると、メディアンフィルタ30

の出力に輝度信号は含まれず、クロスカラーは発生しない。一方、図5のような、色信号の縦線（縦方向に同一色が直線状に着いた信号）においては、論理演算部12の出力に色信号が正しく出力されたにも拘らず、メディアフィルタ30で除去されてしまう。かかる信号データをそのまま色信号出力として使用すると、輝度信号中に色信号が残留してドット妨害となる。そこで、図4(B)に示したような輝度信号の斜め線では、色信号としてメディアフィルタ出力を選択することが望ましく、一方、図5に示したような色信号の縦線では、色信号として論理演算部出力を選択する方が良い。

【0017】ところで、斜め線であるか否かの検出は、現在のデータを $H[n, k]$ としたとき、画面上、左右斜め上の画素 $H[n-1, k+\Delta t_3]$ 及び $H[n-1, k-\Delta t_3]$ において、メディアフィルタ30の入力と出力の差分を減算器31でとり、差分の絶対値をABS（絶対値回路）32で取った値と閾値 $k$ との大小比較を次段のコンパレータ33で判断することにより、行なうわけである。

【0018】斜め線の場合、現在の画素に対して斜め上の画素も、図6に示すようにメディアフィルタ30で除去されることが多い（入、出力の差分が大きいため）ことに着目し、左右いずれか一方の斜め上の画素でメディアフィルタ30の入出力差分が大きければ斜め線と見做し、選択スイッチ $S_w$ を端子a側に接続して、メディアフィルタ30の出力を色信号として選択する。

【0019】次に、図7のような色の縦線の場合は、斜め上の画素のメディアフィルタ入出力差分は小さくなるので、選択スイッチ $S_w$ を端子b側に接続して、論理演算部12の出力を色信号として選択する割合が多くなる。同様に、図8(A)、(B)に示すような色のエッジ部についても、完全に端子b側が選択接続されて、正しい色信号が出力されるようになる。

【0020】以上のように、色信号出力を適応的に切換えることにより、メディアフィルタ30を用いるメリットである、クロスカラーの低減効果を視覚上殆ど低下させることなく、誤動作によるドット妨害の発生を大幅に抑制、回避することができるものである。なお、図1のブロック図中のOR回路34の代りにAND回路を使用しても良い。その場合、論理演算部12の出力を選択する割合が多くなるので、ドット妨害の発生を一層低減することができる。

【0021】以上の説明においては、1ライン上の画素のメディアフィルタ入出力差分を用いて、その値の閾値 $k$ との大小比較をするものとしたが、1ライン上に限らず、 $n$  ( $n \geq 2$ ) ライン上（又は下）の画素のメディアフィルタ入出力差分を用いるよう構成すれば、一層正確な選択が可能になる。また、遅延回路2~4等は1H遅延させるものとしたが、他の遅延量でも良く、例えば遅延量を2HとすればPAL方式の映像信号処理に好

適となる。なお、本発明の映像信号処理回路は、特にY/C分離回路に適用するものとして説明したが、これに限らず、画像処理回路における斜め線検出にも適用でき、その場合斜め線検出が容易且つ確実にできるようになる。

#### 【0022】

【発明の効果】本発明の映像信号処理回路は以上のように構成したので、次のような優れた特長がある。①デジタル回路において、画素毎に信号の選択を行なっているため、メディアフィルタを用いることによるクロスカラー低減の効果を視覚上殆ど低下させることなく、メディアフィルタ使用による欠点である縦に細く色のついた部分やエッジ部に発生するドット妨害を除去でき、良好なY/C分離性能を得ることができる。②斜め線の検出が正しく行なわれないときがあっても、メディアフィルタを備えない従来回路や、常時使用するよう構成された従来回路に比べて、本発明回路は画質品位を損うことなく、ドット妨害等の改善効果が得られる。

#### 【図面の簡単な説明】

【図1】本発明の映像信号処理回路の一実施例を示すブロック系統図である。

【図2】従来回路の代表例を示すブロック系統図である。

【図3】従来回路における論理演算動作説明用原理図である。

【図4】従来回路における具体的な信号処理説明用演算動作原理図である。

【図5】従来回路における誤動作発生原因説明用演算動作原理図である。

【図6】本発明回路における映像信号処理動作説明用原理図である。

【図7】本発明回路における映像信号処理動作説明用原理図である。

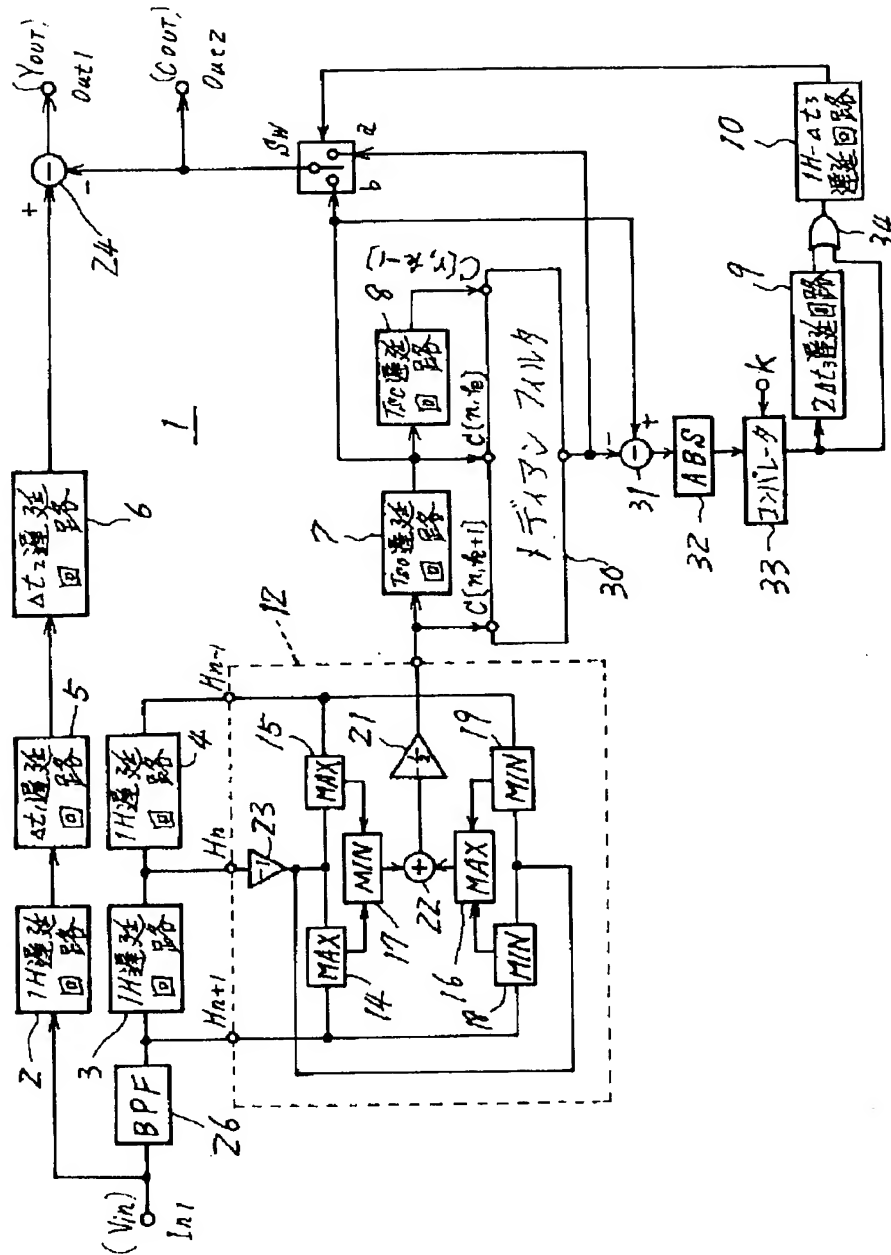
【図8】TV画面上の色のエッジ部における信号波形図である。

【図9】メディアフィルタの具体的回路構成例を示すブロック図である。

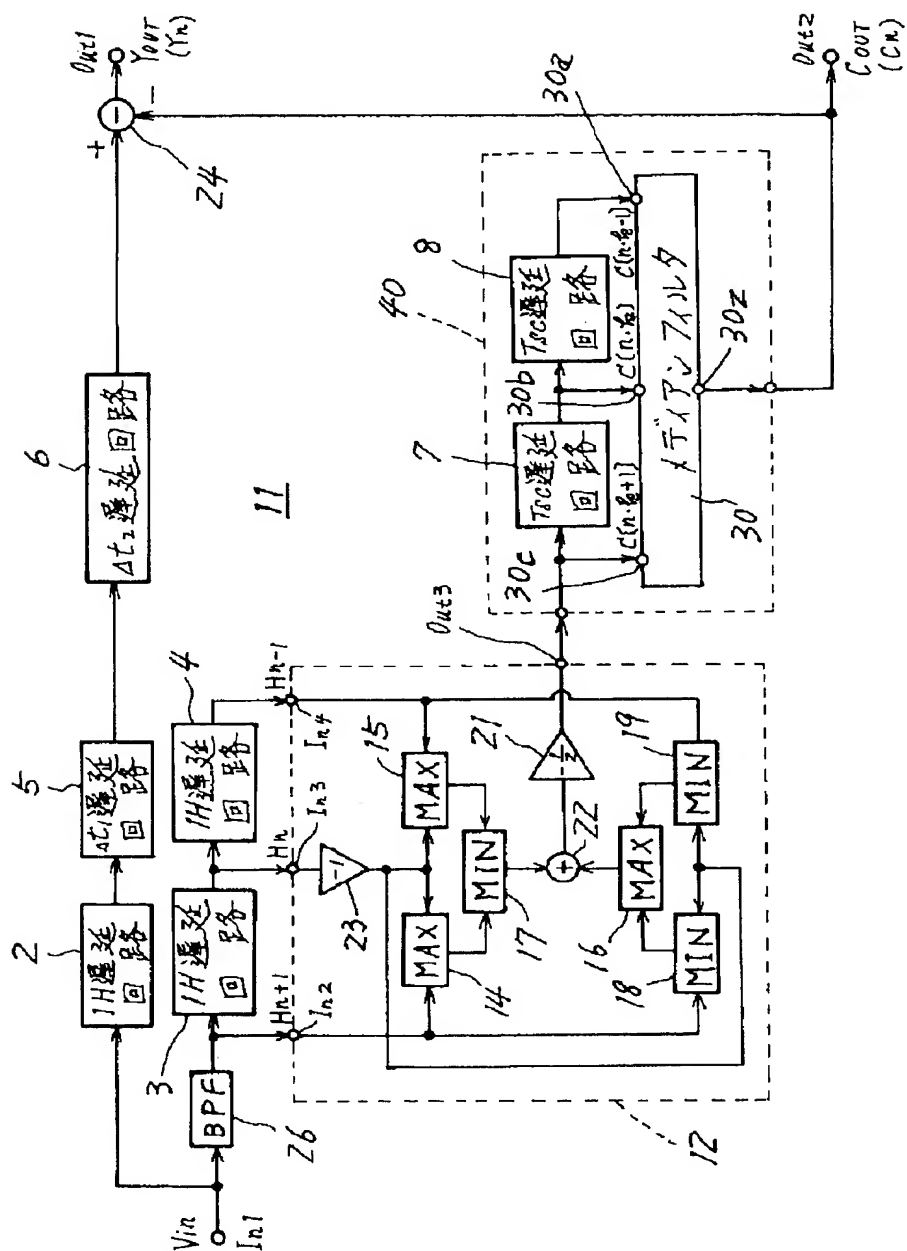
#### 【符号の説明】

- 1 映像信号処理回路
- 2~10 遅延回路
- 12 論理演算部
- 14~16 最大値回路
- 17~20 最小値回路
- 21, 23 増幅器
- 22 加算器
- 24, 31 減算器
- 26 BPF（帯域通過濾波器）
- 30 メディアフィルタ
- 32 絶対値回路
- 33 コンパレータ

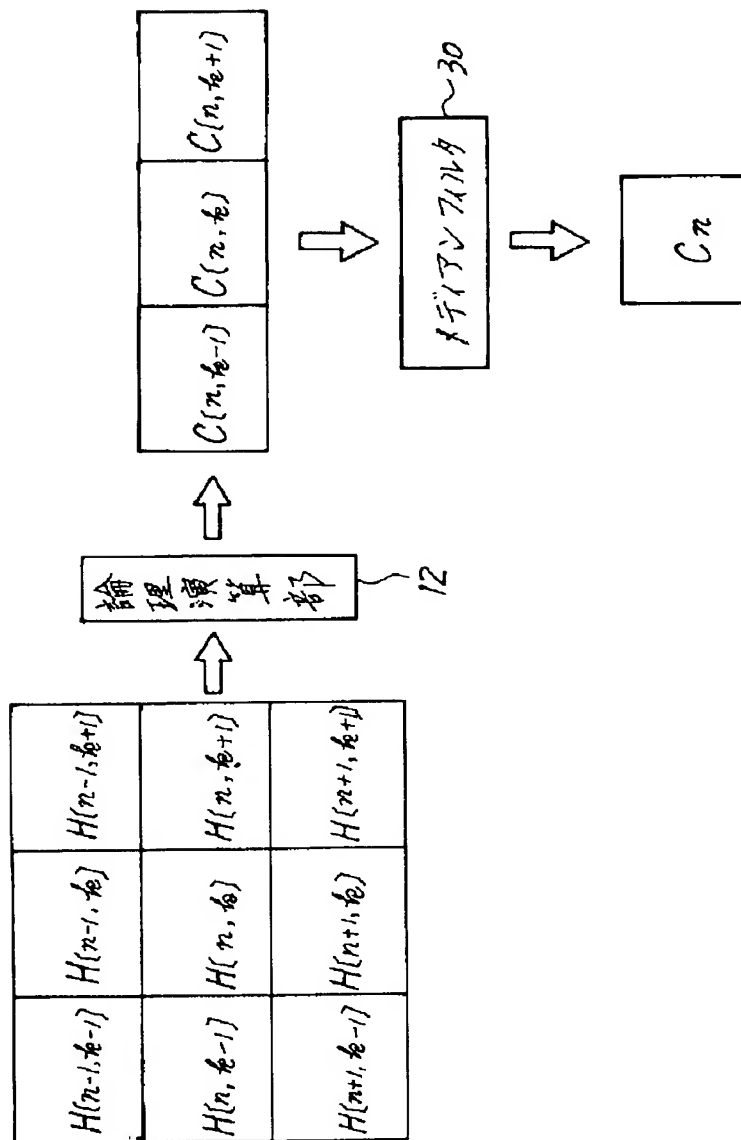
【図1】



【図 2】

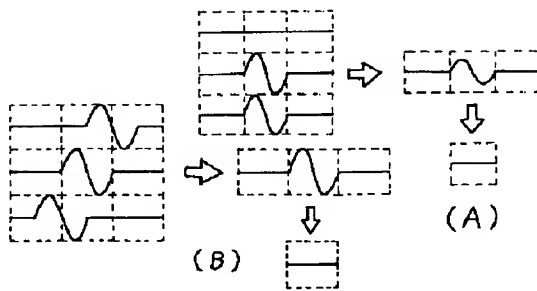


【図3】

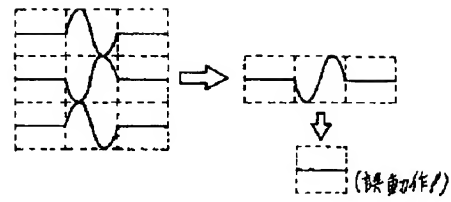




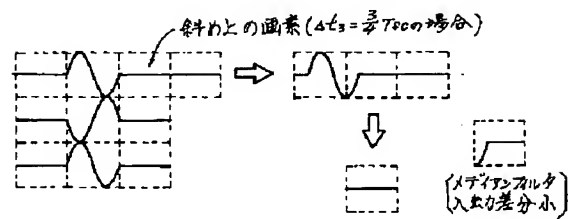
【図4】



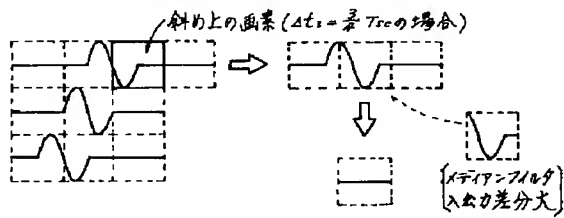
【図5】



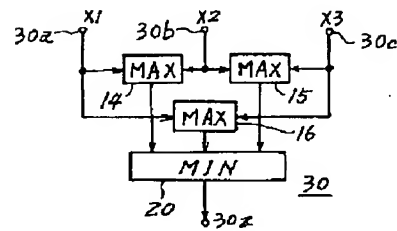
【図7】



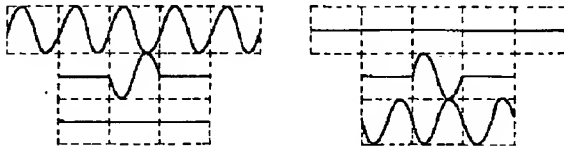
【図6】



【図9】



【図8】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.